

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: M. Inoue et al. : Art Unit: #1 4
Serial No.: To Be Assigned : Examiner:
Filed: Herewith :
FOR: COMPONENT MOUNTING :
METHOD

J1036 U.S. PTO
10/037125
10/25/01

CLAIM TO RIGHT OF PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

S I R :

Pursuant to 35 U.S.C. 119, Applicants' claim to the benefit of filing of prior Japanese Patent Application No. 2000-325322, filed October 25, 2000, is hereby confirmed.

A certified copy of the above-referenced application is enclosed.

Respectfully submitted,

Lawrence E. Ashery, Reg. No. 34,515
Attorney for Applicants

LEA/dlm

Encl.: (1) certified priority document

Suite 301, One Westlakes, Berwyn
P.O. Box 980
Valley Forge, PA 19482
(610) 407-0700

The Assistant Commissioner for Patents is hereby authorized to charge payment to Deposit Account No. 18-0350 of any fees associated with this communication.

EXPRESS MAIL Mailing Label Number: EL 923263985 US

Date of Deposit: October 25, 2001

I hereby certify that this paper and fee are being deposited, under 37 C.F.R. § 1.10 and with sufficient postage, using the "Express Mail Post Office to Addressee" service of the United States Postal Service on the date indicated above and that the deposit is addressed to the Assistant Commissioner for Patents, Washington D.C. 20231

Kathleen Libby

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J11036 U.S. PTO

10/037125



10/25/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月25日

出 願 番 号

Application Number:

特願2000-325322

出 願 人

Applicant(s):

松下電器産業株式会社

2001年 9月19日

特許庁長官
Commissioner
Japan Patent Office

及 川 耕 造

特許庁長官印

20010919

【書類名】 特許願

【整理番号】 2913021048

【提出日】 平成12年10月25日

【あて先】 特許庁長官殿

【国際特許分類】 H05K 13/04

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 井上 雅文

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 山本 祐介

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 鬼崎 光

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 梁井 陽一

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 盛満 康弘

【特許申請人】

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 電子部品実装方法

【特許請求の範囲】

【請求項 1】 複数の電子部品を並列配置で半田接合により基板に実装する電子部品実装方法であって、前記基板に電子部品の配置に対応して電子部品の端子が接合される電極を形成する工程と、この電極に前記端子を接合する半田接合過程における溶融半田のセルフアライメント効果を勘案して電子部品搭載時の電極に対する前記端子の許容されるオフセット量を各電極毎に設定する工程と、前記電極に対して前記オフセット量だけ位置をずらして半田を印刷する工程と、この半田が印刷された電極上に前記オフセット量だけ位置をずらして電子部品を搭載する工程と、電子部品搭載後の基板を加熱して半田を溶融させ前記端子を前記セルフアライメント効果により電極上の正しい位置に移動させる工程と、半田を固化させて端子を電極に半田接合する工程とを含むことを特徴とする電子部品実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子部品を基板に実装する電子部品実装方法に関するものである。

【0002】

【従来の技術】

近年電子部品の小型化や実装密度の高度化が進行し、例えば、 $0.6\text{ mm} \times 0.3\text{ mm}$ 程度の微小サイズの電子部品を 0.1 mm の狭ピッチで実装する実装パターンが既に実用化されている。このような実装パターンを実現するためには、きわめて高い実装位置精度が求められ、基板に形成される電極の位置精度を高めるとともに、搭載時の電子部品の位置合わせ精度を確保する必要がある。

【0003】

（本発明の課題）

しかしながら、上述のような微小サイズの電子部品の狭ピッチ実装では、電極の位置精度や搭載時の位置合わせ精度のみでは、必要な実装精度を確保できない

。例えば、電子部品が吸着ノズルに対してわずかに位置ずれした状態で保持されている場合には、搭載時に隣接の既搭載部品との干渉が生じやすく、搭載動作が妨げられる場合がある。また部品搭載に先立って電極に半田を印刷する際には、隣接電極に印刷された半田が相互に連結してブリッジを形成しやすく、そのままリフローが行われると電極間の短絡を生じる場合がある。このように、従来の電子部品実装方法では、微小サイズ部品の狭ピッチ実装において実装不具合を生じやすいという問題点があった。

【 0 0 0 4 】

そこで本発明は、微小サイズ部品の狭ピッチ実装において実装不具合を減少させる電子部品実装方法を提供することを目的とする。

【 0 0 0 5 】

【課題を解決するための手段】

請求項 1 記載の電子部品実装方法は、複数の電子部品を並列配置で半田接合により基板に実装する電子部品実装方法であって、前記基板に電子部品の配置に対応して電子部品の端子が接合される電極を形成する工程と、この電極に前記端子を接合する半田接合過程における溶融半田のセルフアライメント効果を勘案して電子部品搭載時の電極に対する前記端子の許容されるオフセット量を各電極毎に設定する工程と、前記電極に対して前記オフセット量だけ位置をずらして半田を印刷する工程と、この半田が印刷された電極上に前記オフセット量だけ位置をずらして電子部品を搭載する工程と、電子部品搭載後の基板を加熱して半田を溶融させ前記端子を前記セルフアライメント効果により電極上の正しい位置に移動させる工程と、半田を固化させて端子を電極に半田接合する工程とを含む。

【 0 0 0 6 】

本発明によれば、電子部品の電極への半田接合過程における溶融半田のセルフアライメント効果を勘案して、電子部品搭載時の電極に対する端子の許容されるオフセット量を各電極毎に設定し、電極への半田印刷および電子部品搭載におい

る電極への半田印刷、半田の位置ずれ、および搭載時の位置ずれを緩和して印刷時や搭載時の不具合発生を防止することができる

【 0 0 0 7 】

【発明の実施の形態】

次に本発明の実施の形態を図面を参照して説明する。図1は本発明の一実施の形態の電子部品が実装される基板の平面図、図2、図3は本発明の一実施の形態の電子部品実装方法の工程説明図、図4は本発明の一実施の形態の電子部品が実装される基板の部分平面図である。

【0008】

本実施の形態に示す電子部品実装方法は、微少サイズのチップ型の電子部品を狭ピッチの並列配置で、半田接合により基板に実装するものである。まず図1に示すように、電子部品の実装対象の基板1には、電子部品の配置に対応して多数の電極2が形成される。電極2には、電子部品の端子が半田接合され、相対向する1対の電極2が、1つのチップ型の電子部品5（図3参照）に対応している。

【0009】

すなわち基板1に並列配置で実装される複数の電子部品5の位置に対応して、1対（2個）の電極2が狭ピッチの並列配置で形成される。ここで基板1上には、3個の電子部品5を隣接して実装するための電極群3と、4個の電子部品5を対象とした電極群3'の2通りのパターンで電極2が配置されている。各電極群には、同一の微小サイズの電子部品5が実装される。

【0010】

図2、図3は電極群3を実装対象とした電子部品の実装方法を示すものである。図2（a）は電極2の配置の詳細を示している。1対の電極2より成る電極列L1、L2、L3相互における電極間の隙間寸法は、0.1mmに設定されており、この隙間寸法と等しい隙間で電子部品5が実装される。次に図2（b）に示すように各電極2の上面には、電子部品接合用の半田ペースト4が印刷される。

【0011】

このとき、印刷位置は必ずしも各電極列L1、L2、L3の中心線CL1、CL2、CL3に一致した位置となっておらず、3列のうち中心に位置する電極列L2、CL3については、中心線CL1、CL3から外側へ所定のオフセット量d1だけずらした位置に半田ペースト4が印刷される。このオフセット

量 d_1 は後述するように半田接合過程における溶融半田のセルフアライメント効果を勘案して設定される。本実施の形態では、オフセット量 d_1 は 0.02 mm となっている。

【0012】

次に、図3（a）に示すように半田ペースト4が印刷された電極2上に電子部品5を搭載する。このとき電子部品5を位置合わせする際には、電極2の各中心線に対して、前述のオフセット量 d_1 だけ位置をずらして、電極2に電子部品5を位置合わせする。すなわち、電子部品5は印刷された半田ペースト4に対して位置合わせされ、図3（b）に示すように、搭載動作における部品間隙間は所定隙間の 0.1 mm ではなく、 0.1 mm にオフセット量 d_1 を加えた隙間となる。

【0013】

そしてこのようにして電子部品5が搭載された基板1はリフロー工程に送られ、加熱される。これにより半田ペースト4中の半田成分が溶融し、電子部品5の端子は電極2に半田接合される。この半田接合過程において、溶融半田は電極2上で濡れ拡がり、電極2全面を覆うように流動する。この流動に伴って電子部品5も移動し、図3（c）に示すように搭載時にオフセット量 d_1 だけ位置ずれ状態にあった電子部品5は電極2の中心まで移動する。そしてこの状態で半田が固化することにより、電子部品5は電極2の正しい位置に半田接合される。

【0014】

このように、半田接合過程におけるセルフアライメント効果による位置ずれ矯正可能な範囲で、半田印刷位置および部品搭載位置をずらすことにより、実装動作時の隙間条件を極力緩和して、半田印刷時の半田ブリッジ形成や部品搭載時の部品相互の干渉の発生度合いを減少させることができ、上記に起因する実装不具合を防止することが可能となっている。

【0015】

図4は、図3（a）の例では、1列の電極列の両外側の2列についてオフセット量 d_2 を設定する。すなわち半田接合時のセルフアライメント効果を勘案して許容される範囲内

でオフセット量 d_3 を設定し、次いで中央側の 2 列について、オフセット量 d_3 の $1/2$ に相当するオフセット量 d_2 を設定する。

【0016】

そして電極 2 上に半田ペースト 4 を印刷する際、および電極 2 上に電子部品 5 を搭載する際には、それぞれ上述のオフセット量 d_2 、 d_3 だけ電極列の中心線から外側へ位置をずらす。これにより、電極群 3 を対象にした実装例と同様に、半田印刷時および部品搭載時の隙間を拡大して、半田印刷時の半田ブリッジ形成や部品搭載時の部品相互の干渉の発生度合いを減少させることができ、微小部品の狭ピッチ実装における不具合発生を防止することができる。

【0017】

なお、上記例では電極列が 3 列、4 列の場合を示しているが、これ以上の列数を有する場合にあっても、最外列において許容されるオフセット量の範囲内で、各電極列での印刷位置、部品搭載位置を順次ずらすことにより、不具合発生の確率を減少させる効果を有している。

【0018】

【発明の効果】

本発明によれば、電子部品の電極への半田接合過程におけるセルフアライメント効果を勘案して許容される電子部品の電極に対するオフセット量を各電極毎に設定し、電極への半田印刷および電子部品搭載において各電極のオフセット量だけ位置をずらすことにより、実装動作時の隙間条件を緩和することができ、印刷時や搭載時の不具合発生を防止することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態の電子部品が実装される基板の平面図

【図 2】

本発明の一実施の形態の電子部品実装方法の工程説明図

本発明の一実施の形態の電子部品実装方法の工程説明図

【図 4】

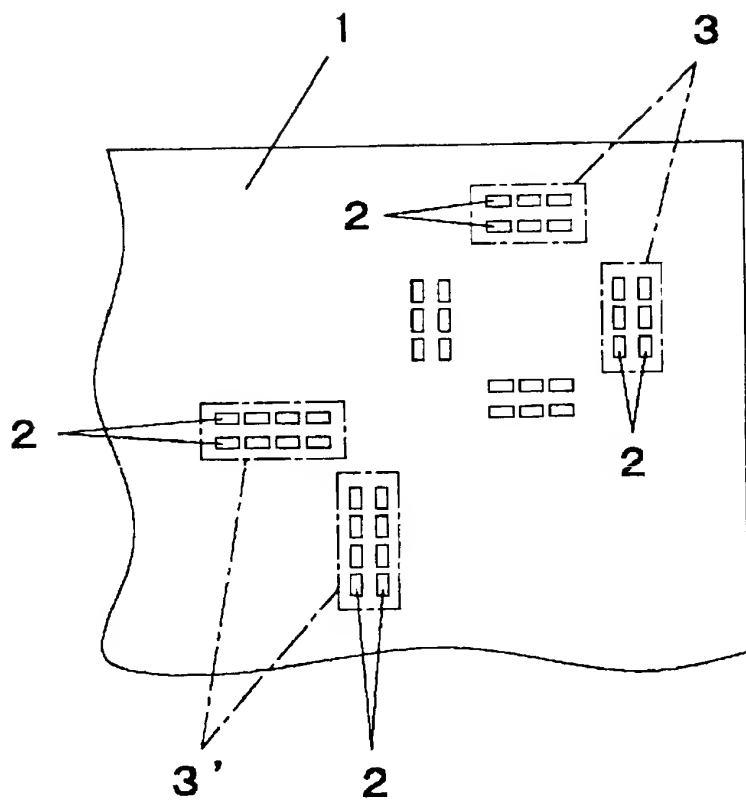
本発明の一実施の形態の電子部品が実装される基板の部分平面図

【符号の説明】

- 1 基板
- 2 電極
- 3, 3' 電極群
- 4 半田ペースト
- 5 電子部品

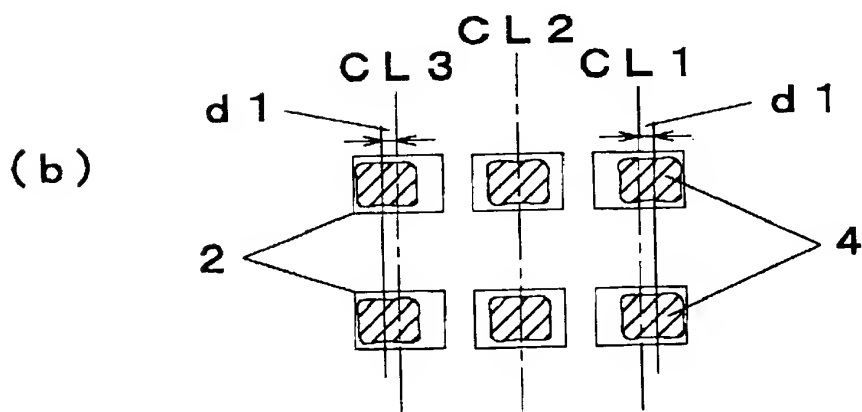
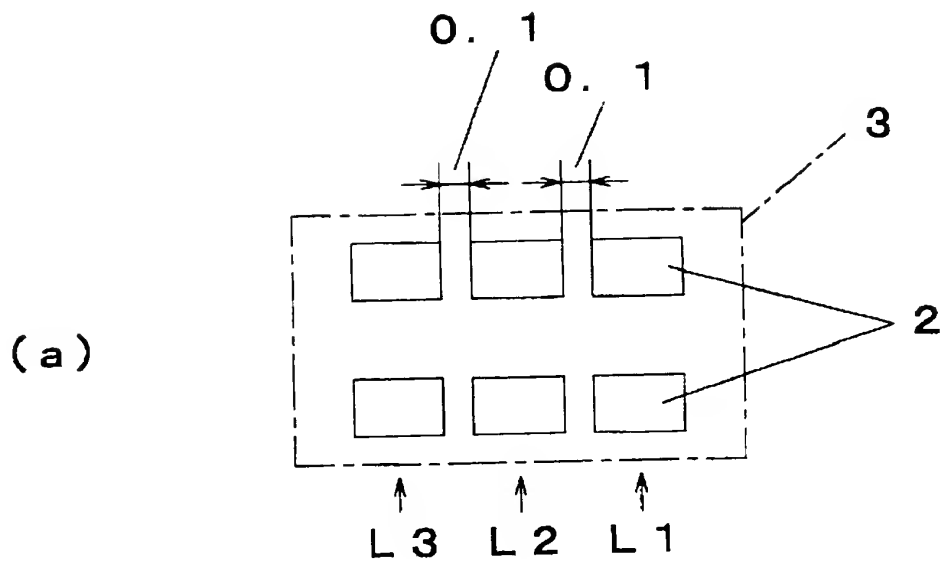
【書類名】 図面

【図 1】



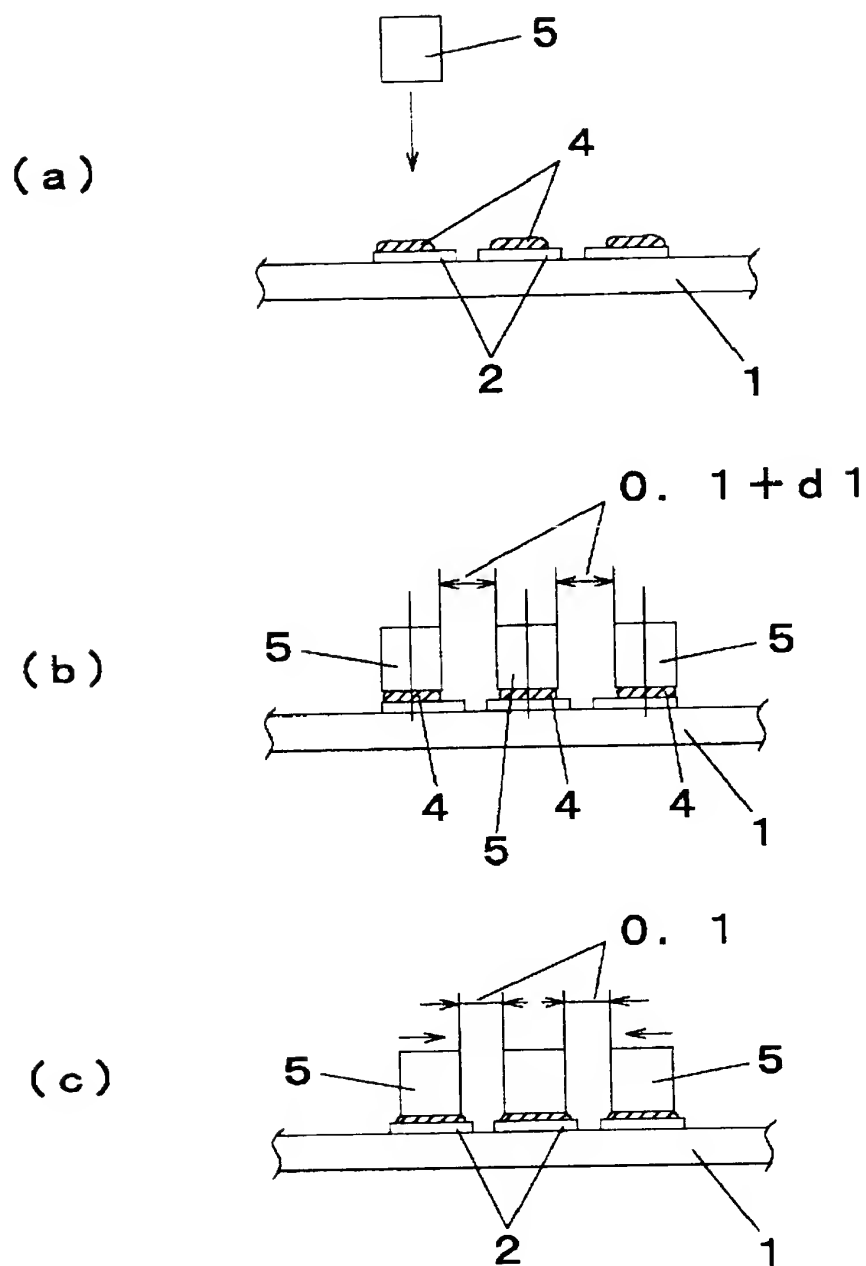
1 基板
2 電極
3, 3' 電極群

【図 2】



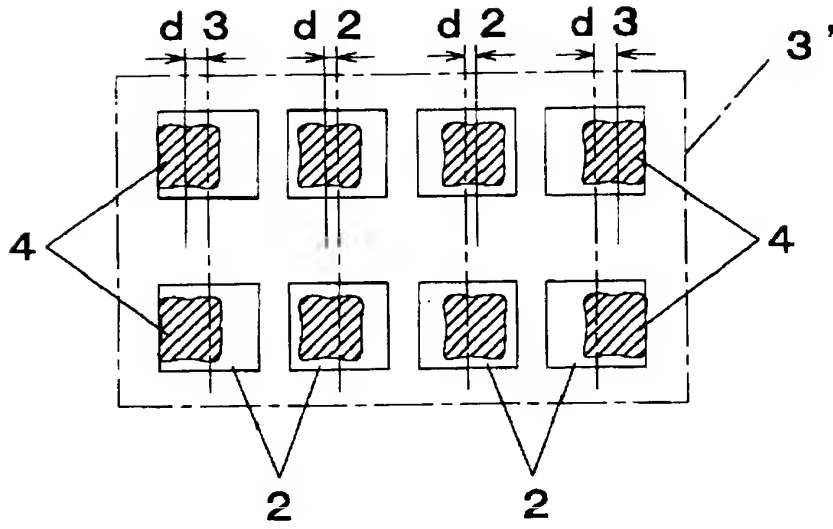
4 半田ペースト

【図 3】



5 電子部品

【図 4】



【書類名】 要約書

【要約】

【課題】 微小サイズ部品の狭ピッチ実装において実装不具合を減少させる電子部品実装方法を提供することを目的とする。

【解決手段】 複数の微小サイズのチップ型の電子部品 5 を並列配置で半田接合により基板 1 に実装する電子部品実装方法において、基板 1 に電子部品 5 の配置に対応して形成された電極 2 に電子部品 5 の端子を接合する半田接合過程における溶融半田のセルフアライメント効果を勘案して、電子部品搭載時の電極に対する許容されるオフセット量 d_1 を各電極毎に設定する。電極 2 への半田ペースト 4 の印刷および電極 2 への電子部品 5 の搭載において、各電極のオフセット量 d_1 だけ位置をずらす。これにより、実装動作時の隙間条件を緩和して印刷時や搭載時の不具合発生を防止することができ、オフセット量 d_1 は溶融半田のセルフアライメント効果によって解消され正しい位置に実装される。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日
[変更理由] 新規登録
住 所 大阪府門真市大字門真 1 0 0 6 番地
氏 名 松下電器産業株式会社